

?s pn=jp 57168573
S1 1 PN=JP 57168573
?t s1/5

1/5/1

DIALOG(R)File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

01018273 **Image available**
FACSIMILE CONTROLLING SYSTEM

PUB. NO.: 57-168573 [*JP 57168573* A]
PUBLISHED: October 16, 1982 (19821016)
INVENTOR(s): KANDA HAJIME
HISHIDA HIROSHI
KOSEKI YUJI
APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 56-053553 [JP 8153553]
FILED: April 09, 1981 (19810409)
INTL CLASS: [3] H04N-001/00
JAPIO CLASS: 44.7 (COMMUNICATION -- Facsimile)
JOURNAL: Section: E, Section No. 152, Vol. 07, No. 8, Pg. 152, January
13, 1983 (19830113)

ABSTRACT

PURPOSE: To actuate only a CPU in the queuing mode and accordingly to save the power consumption, by forming a system control part with two CPUs and supplying the power to one of the two CPUs from a main power supply during the transmission and reception with the other queuing CPU receiving the power supply from a secondary power supply.

CONSTITUTION: A system control unit SCU1000 consists of a slave CPU1001 and a master CPU1002, and a power supply part 1600 includes a secondary power supply part 1601 and a main power supply part 1062. When a power supply switch SW is turned on of such system, the power is supplied to the queuing CPU1002 from the part 1601. Then the state of the system is monitored by the CPU1001. If an instruction ordering the start of reception or transmission is given from an operation part 1300 under such conditions, the CPU1001 applies the power of the part 1602 to actuate the CPU1002. Then the CPU1001 is subordinated to the CPU1002, and the part 1602 is cut off by the instruction of the CPU1002 after the end of the transmission or reception to perform the monitor again for the state of the system. In such way, the power consumption is saved for the system.

㉑ 日本国特許庁 (JP)

㉒ 特許出願公開

㉓ 公開特許公報 (A)

昭57-168573

㉔ Int. Cl.³

H 04 N 1/00

識別記号

1 0 6

庁内整理番号

7334-5C

㉕ 公開 昭和57年(1982)10月16日

発明の数 1

審査請求 未請求

(全17頁)

㉖ ファクシミリ制御方式

㉗ 特 願 昭56-53553

㉘ 出 願 昭56(1981)4月9日

㉙ 発 明 者 神田肇

東京都大田区中馬込1丁目3番

6号株式会社リコー内

㉚ 発 明 者 菱田洋至

東京都大田区中馬込1丁目3番

6号株式会社リコー内

㉛ 発 明 者 古関雄二

東京都大田区中馬込1丁目3番

6号株式会社リコー内

㉜ 出 願 人 株式会社リコー

東京都大田区中馬込1丁目3番

6号

㉝ 代 理 人 弁理士 宮川俊崇

明 細 書

1. 発明の名称

ファクシミリ制御方式

2. 特許請求の範囲

主電源部と副電源部、および送信または受信動作中に主電源部からその電源を供給される第1のCPUと、動作中には常時副電源部からその電源を供給される第2のCPUとを備え、待機中には前記第2のCPUによつてシステムの状態監視を行い、送信または受信スタートの命令信号あるいは電話呼出し信号により前記第2のCPUが前記主電源部の投入動作を行うとともに、主電源投入後は前記第2のCPUを前記第1のCPUに疎隔させ、送信または受信動作終了後は前記第1のCPUの命令によつて前記第2のCPUが主電源を遮断するとともに、再びシステムの状態監視を行うことを特徴とするファクシミリ制御方式。

3. 発明の詳細な説明

この発明は、待機時におけるシステムの状態

監視が充分に行えるようにするとともに、待機時の消費電力を節減したファクシミリ制御方式に関し、特に2個のCPU(セントラル・プロセッシング・ユニット)を用いてシステムコントロールユニットを構成することによつて、使用部品点数やその実装スペース等を増加することなく、かつ低コストのファクシミリ装置が得られるようにしたファクシミリ制御方式を提供する。

ファクシミリ装置においては、待機中におけるシステムの状態を監視することが必要である。

ところが、待機中に全電源を投入すると消費電力が増加し、また全電源を遮断すると、待機中におけるシステムの詳細な状態監視が行えない、という不都合がある。

そこで、従来のファクシミリ装置では、待機中には副電源のみを投入し、送信または受信動作時にシステムの全電源を投入する、いわゆる自動電源投入方式を採用して、簡単なハードウェアロジック手段により送信または受信スター

トの命令信号あるいは電話呼出し信号を検出し、全電源の投入を行っていた。

しかし、この自動電源投入方式では、待機時におけるシステムの状態監視が不十分であり、例えば電源スイッチが投入されて待機状態となる副電源のみの供給時においては、読取部の途中や記録部の途中に紙が存在していても検出することができず、送信または受信動作開始時の主電源投入後に検出して、排出またはジャム表示等を行うことになる。そのため、オペレータは、送信または受信動作が開始されるまで、このような異常を発見することができず、それに対する処理も遅れてしまう。

このような難点を解決するためには、待機時におけるシステムの状態監視を充分に行う必要がある。しかし、充分な状態監視を行うには、そのハードウェア費および待機時の消費電力の増加は免れない、という不都合を生じる。

そこで、この発明のファクシミリ制御方式では、従来のファクシミリ装置におけるこれらの

不都合を解決し、簡単な構成によつて、待機時におけるシステムの状態監視が充分に行えるようにするとともに、待機時の消費電力も節減可能にし、かつ低コストのファクシミリ装置が得られるようにすることを目的とする。

そのために、この発明のファクシミリ制御方式においては、2個のCPUを用いてシステム・コントロール・ユニットを構成し、その一方を送信または受信動作中に主電源部からその電源が供給されるマスターCPUとして使用し、他方を待機中に常時副電源部からその電源を供給されるスレーブCPUとして使用する。そして、待機中にはスレーブCPUによつてシステムの状態監視を行い、送信または受信スタートの命令信号あるいは電話呼出し信号等の予め決定された主電源投入の要因を検出すると、スレーブCPUが主電源部の投入動作を行うとともに、主電源投入後はスレーブCPUをマスターCPUに転属させて、マスターCPUからのコマンドに従つてスレーブCPUを動作させ、さ

- 3 -

- 4 -

らに送信または受信動作終了後はマスターCPUのコマンドによつてスレーブCPUが主電源を遮断するとともに、再びシステムの状態監視を行うようにしている。

第1図は、ファクシミリ装置の基本構成を示すブロック図である。図面において、100は読取部、200はVPU(ビデオ・プロセッシング・ユニット)、300はTTI・RTI(送信端末識別情報発生部・受信端末識別情報発生部)、400はWE(巻込駆動部)、500は主・副走査装置、600はDCR(データ符号化復号化部)、700はEDU(2次元符号化復号化部)、800は記録部、900は機械制御装置、1000はSCU(システム・コントロール・ユニット)、1100はGII-CU(GII機用コンパチブル・ユニット)、1200はCCU(通信制御装置)、1300は操作部(OP-PORT)、1400はモデム(変復調装置)、1500はADF(自動原稿給紙部)、1600は電源部、1700はNCU(網制御ユニット)、

- 5 -

1801は送信原稿、1802は受信コピー、1803は電話機を示し、また実線はデータ信号系、白線は制御信号系を示す。

読取部100は、原稿1801の画面情報を面信号に変換するユニットで、光学系と照明系から構成され、次のVPU200へ白黒の面信号で出力する。

主・副走査装置500は、スタイラス記録方式の場合には、紙送り機構だけで構成される。

記録部800は、面信号を可視像に変換するユニットで、WE400から与えられる面信号を現像・定着する。

TTI・RTI300は、送信時に送信機側の、受信時に受信機側の識別情報を発生するユニットで、例えば送信機の番号、発信時刻、送信終了時刻等を発生する。

DCR600は、画面情報の有する冗長性を除去して、MH方式等の1次元符号化による圧縮データに変換し、また受信された圧縮データを復号するユニットである。

- 6 -

またE D U 7 0 0は、同じく2次元符号化とその復号化を行うユニットである。

C C U 1 2 0 0は、回線のコントロールユニットで、S C U 1 0 0 0からの命令によつてファクシミリ制御手順を実行する。

モデム1400は、コード化されたバイナリーの画面情報を回線伝送に適する信号に変換し、また受信された画面情報を復調する。

N C U 1 7 0 0は、回線とのインターフェース機能を有し、回線の保持や呼出し音の検出等を行う。

G H - C U 1 1 0 0は、C C I T T規格に準拠したG Hモデムを有し、3値化データの姿復調を行う。

また、機構制御装置900は、機構部のコントロールユニットで、S C U 1 0 0 0からの命令によつて、読取部100や主・副走査装置500、記録部800の機構部を駆動する。

S C U 1 0 0 0は、これらの各部からなるシステムをコントロールするユニットで、ファクシ

- 7 -

の動作を説明するためのフローチャートである。

スレーブCPU1001は、読取装置の原稿の有無、および現像部の記録紙の有無をチェックする。これらのチェックは、ファクシミリの動作中における停電や、不注意による電源オフによつて、原稿や記録紙が存在している場合に、電源の再投入時に排紙するために行われる。

次にスタートスイッチがオンしているかどうかをチェックする。スタートスイッチがオンになっているとき、原稿が有れば送信であり、原稿が無ければ受信である。また、スタートスイッチがオフのときは、次のステップへ進む。

なお、スタートスイッチがオンのときは、オフフックすなわち受話器が電話機から持ち上げられた状態となっているかどうかをチェックする。このチェックは、回線が相手先と接続されていない状態での操作ミスによる回線閉結を防止するために行われる。

オフフックでなければ、コピースイッチがオンしているかどうかをチェックする。コピース

- 9 -

ミリマシンとしてのシーケンスをコントロールする。

操作部1300は、オペレータのスイッチ操作をS C U 1 0 0 0へ伝え、またマシンの動作モードや状態をオペレータに通知する。

ところで、この発明のファクシミリ制御方式では、すでに説明したように、システムのコントロールを行うS C U 1 0 0 0を2個のCPUによつて構成するようにしている。

第2図は、この発明のファクシミリ制御方式を実施する場合のS C U 1 0 0 0と電源部1600の要部を示すブロック図である。図面における符号は第1図と同様であり、また1001はスレーブCPU、1002はマスターCPU、1601は副電源部、1602は主電源部、S Wは電源スイッチを示す。

電源スイッチS Wがオンとされる待機中には、副電源部1601だけが投入されて、スレーブCPU1001が動作状態となる。

第3図は、この発明のファクシミリ制御方式

- 8 -

スイッチがオンになっているとき、原稿が有ればコピーサイクルであり、原稿が無ければペーパーサイクルと判断する。

コピースイッチがオフのときは、次のステップへ進み、リンギングが検出されているかどうかチェックする。このリンギングは、交換機からの呼出し音である。

リンギング検出によつて受信に入つたときは、相手局からの指示による通信制御手順中に、送信と受信の条件が決定される。

もし、原稿が有れば、原稿ジャムの有無をチェックした後、原稿が無ければ、直ちにペーパージャムの有無、ロールペーパーの有無をチェックする。

スレーブCPU1001は、このようなフローによつて、常時システムの状態を監視しており、予め決定されている主電源投入の要因を検出すると、主電源投入の動作を行つて、マスターCPU1002を動作させる。

マスターCPU1002が動作すると、スレー

- 10 -

ブCPU 1001はマスターCPU 1002に接続され、そのコマンドに従って動作する。すなわち、第3図の右下のフローに進む。

マスターCPU 1002は、主電源投入の原因を問合わせるコマンドを出力する。

スレーブCPU 1001は、問合わせコマンドに呼応して、原因を知らせるための識別レスポンスを出力する。

識別レスポンスとしては、スタートスイッチレスポンス、リングングレスポンス、コピーレスポンス、読取部排紙レスポンス、現像部排紙レスポンス等がある。

これらの識別レスポンスにより、マスターCPU 1002は、従来のファクシミリの場合と同様な動作を行う。

そして、その動作が終了すると、マスターCPU 1002はパワーオフコマンドを出力して、スレーブCPU 1001に主電源をオフさせる。

このパワーオフコマンドにより、スレーブCPU 1001はマスターCPU 1002から解放さ

れ、再び待機状態の監視を続ける。

第4図AとBは、この発明のファクシミリ制御方式を実施する場合のファクシミリ装置の一例を示すブロック図である。図面における符号は第1図と同様であり、101はパルスモータ、102は縮小用モータ、103はCCD等の光電変換素子、104はセンサー、201はピーク検出部、202はサンプリング部、203は2値変換器、204はCCD駆動クロック発生器、205はD/A変換器、206はROM、207はアドレスカウンタ、301はCPU、302はビデオメモリ、303は水晶時計、304は表示用メモリ、305はシリアルインターフェース回路、306はジャーナルプリンタ、307は蛍光表示器、401はS-P変換器、402はレベル変換器、403はスタイラス高圧スイッチング回路、404は書込タイミング制御回路、405はセグメント選択回路、406はレベル変換器、407はセグメント高圧スイッチング回路、601はラインパツファ制御

部、602はラインパツファ、603は入力データ切換部、604はカラー判別RLカウンタ、605は切換部、606はメツセージパツファ、607は1チップμ-CPU、608はコマンドデコード、701はμ-CPU、702はRL発生部、703はモード検出部、704はメツセージパツファ、801は高圧電源、802はスタイラス・セグメント電極、803は定常部、804は現像部、805はカッター、806はパルスモータ、807は記録紙、901はステツプ速度制御回路、902はスイッチング回路、903はステツプ速度制御回路、904はスイッチング回路、1001はスレーブCPU、1002はマスターCPU、1003はROM、1004はハンドシェイクインターフェース回路、1005はアドレスラッチ回路、1006はROM、1007はアドレスラッチ回路、1008はハンドシェイクコントローラ、1009はクロック発生器、1010と1011はI/Oポート、1101はI/Oポート、1102はデータ制御部、1103は

データメモリ、1104はI/Oポート、1105はトータル信号発生部、1106は変調部、1107は信号選択回路、1108は同期信号発生部、1109は復調部、1110はデータサンプリング部、1111はトータル信号検出部、1301は操作部、1302は制御部、1303は表示部、1304は操作部、1305は制御部、1306は表示部、1401はM48型モデム、1402はV96P型モデム、1403はデータ選択器、1404と1405はLPF、1406はアツテネータ、1407はV21型モデム、1408はLPF、1409はHYB、1410はキャリア検出器、1411はリミッタ、1412はBPF、1413はHPF、1414は462Hz検出器、1415はリミッタ、1416はBPF、1417~1420はアンプ、1501は原稿分離ファンモータ、1502は原稿搬送モータ、1503はセンサー、1601はゼロクロスACスイッチ、1701はオフフック検出リレー、1702は整流器、1703はリング検出リレー、1704は直流回路閉結リレーを示し、また

P1～P6およびQ1とQ2はそれぞれ対応する符号位置との接続点を示す。

この第4図AとBに示される一点鎖線A-Aは、回路が複雑なために拡大して図示する必要上、便宜的に区切つたもので、実際上は両図の対応する各接続点が相互に接続されて1つの回路を形成している。

次の第5図AとBは、第4図AのSCU1000の詳細な構成を示すブロック図である。図面における符号は、第4図と同様であり、第5図AとBの回路が複数の案子を有する場合には、アルファベットの付して示している。

この第5図AとBに示される一点鎖線B-Bも、回路を拡大したために便宜的に区切つたものに過ぎない。

以上に詳細に説明したとおり、この発明のファクシミリ制御方式では、SCUのCPUとしてマスターCPUとスレーブCPUとの2個のCPUを使用し、待機状態ではスレーブCPUのみを動作させてシステムの状態監視を行うよ

うにしている。そして、予め決定された主電源の投入要因を検出すると、スレーブCPUが主電源の投入動作を行うとともに、主電源投入後はスレーブCPUはマスターCPUに隷属し、マスターCPUからのコマンドに従って動作する。また、主電源が遮断されると、スレーブCPUはマスターCPUから解放されて、再び状態の監視を行う。なお、スレーブCPUは、単にこのようなシステムの状態監視を行うだけでなく、その能力に余裕があれば、例えばシステムの機械部の制御のような特定の制御を分担することも可能である。

このように、この発明のファクシミリ制御方式によれば、SCUのCPUを2個使用し、待機状態ではその一方のCPUだけを動作させるので、システムの状態監視が充分に行えらるとともに、消費電力も節減される、等の多くの優れた効果が得られる。

4. 図面の簡単な説明

第1図はファクシミリ装置の基本構成を示す

— 15 —

— 16 —

ブロック図、第2図はこの発明のファクシミリ制御方式を実施する場合のSCUと電源部の要部を示すブロック図、第3図はこの発明のファクシミリ制御方式の動作を説明するためのタイムチャート、第4図AとBはこの発明のファクシミリ制御方式を実施する場合のファクシミリ装置の一例を示すブロック図、第5図AとBは第4図AのSCUの詳細な構成を示すブロック図である。

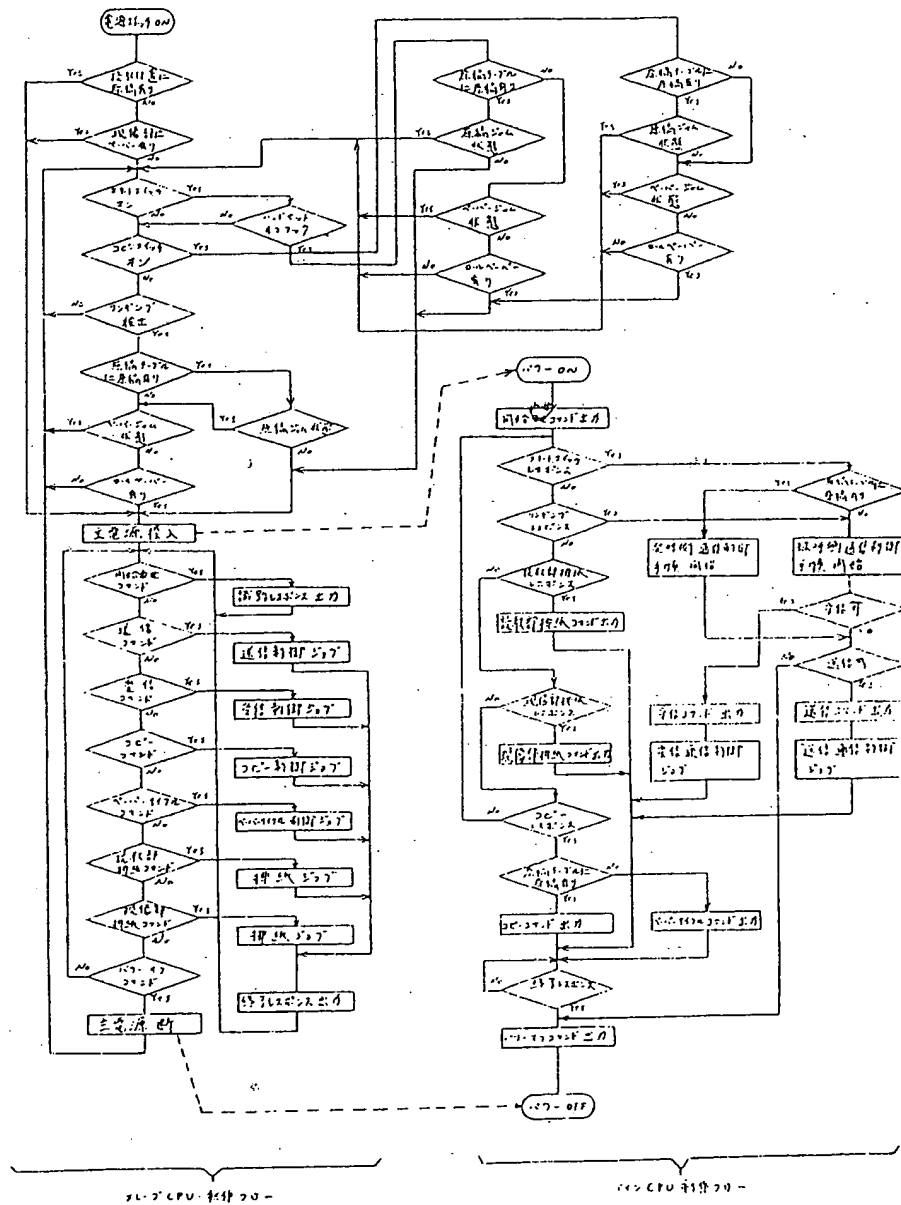
図面において、1000はSCU、1001はスレーブCPU、1002はマスターCPU、1600は電源部、1601は副電源部、1602は主電源部を示す。

特許出願人 株式会社 リ コ ー

同代理人 弁理士 宮川 俊 崇



— 17 —



才 3 圖

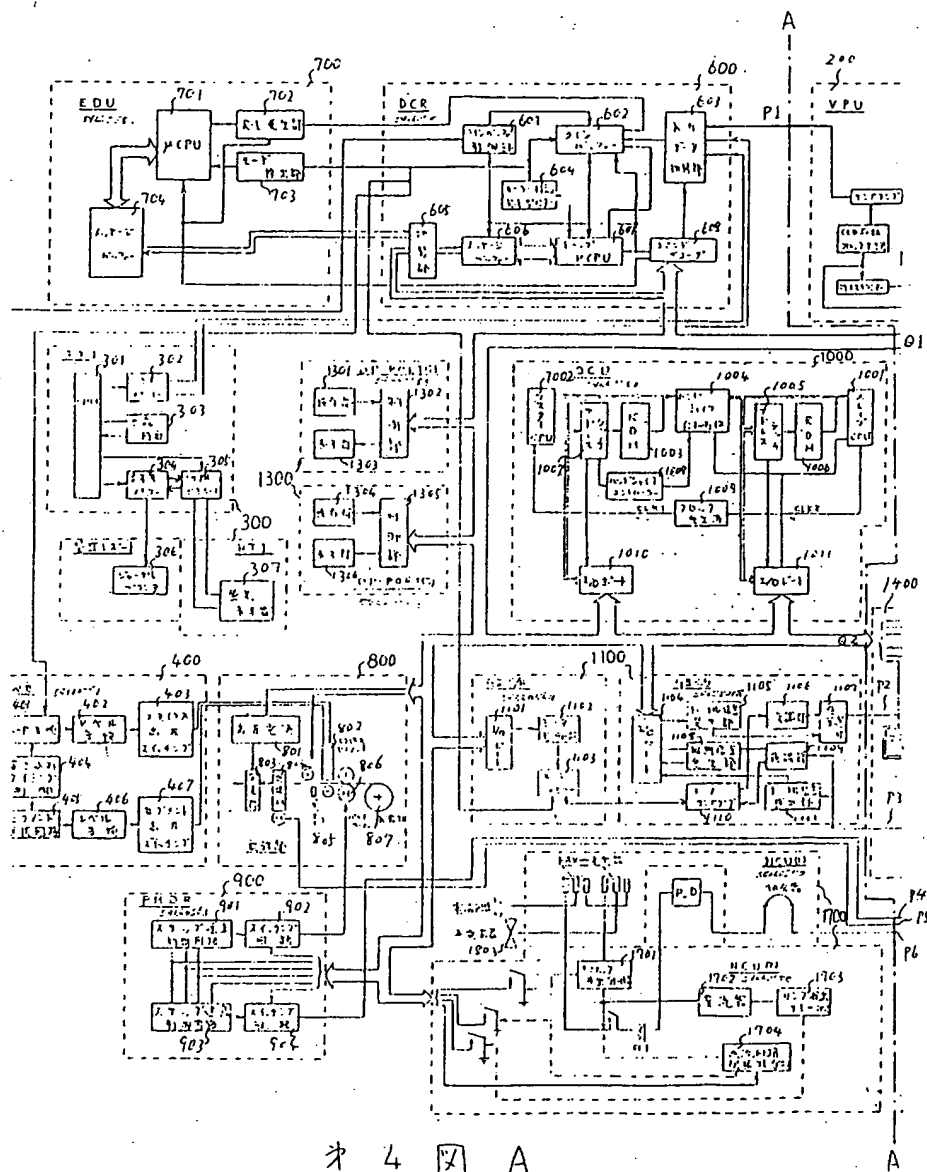


図 4 A

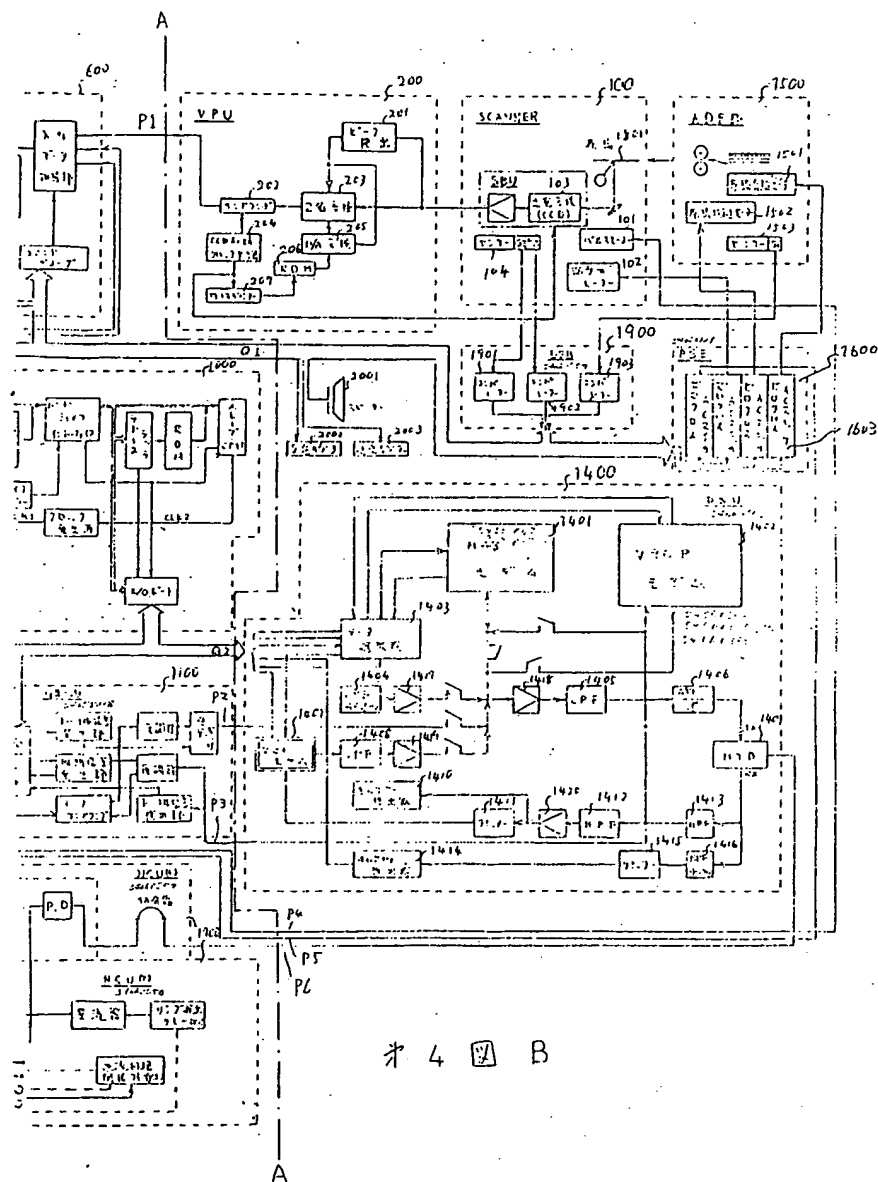
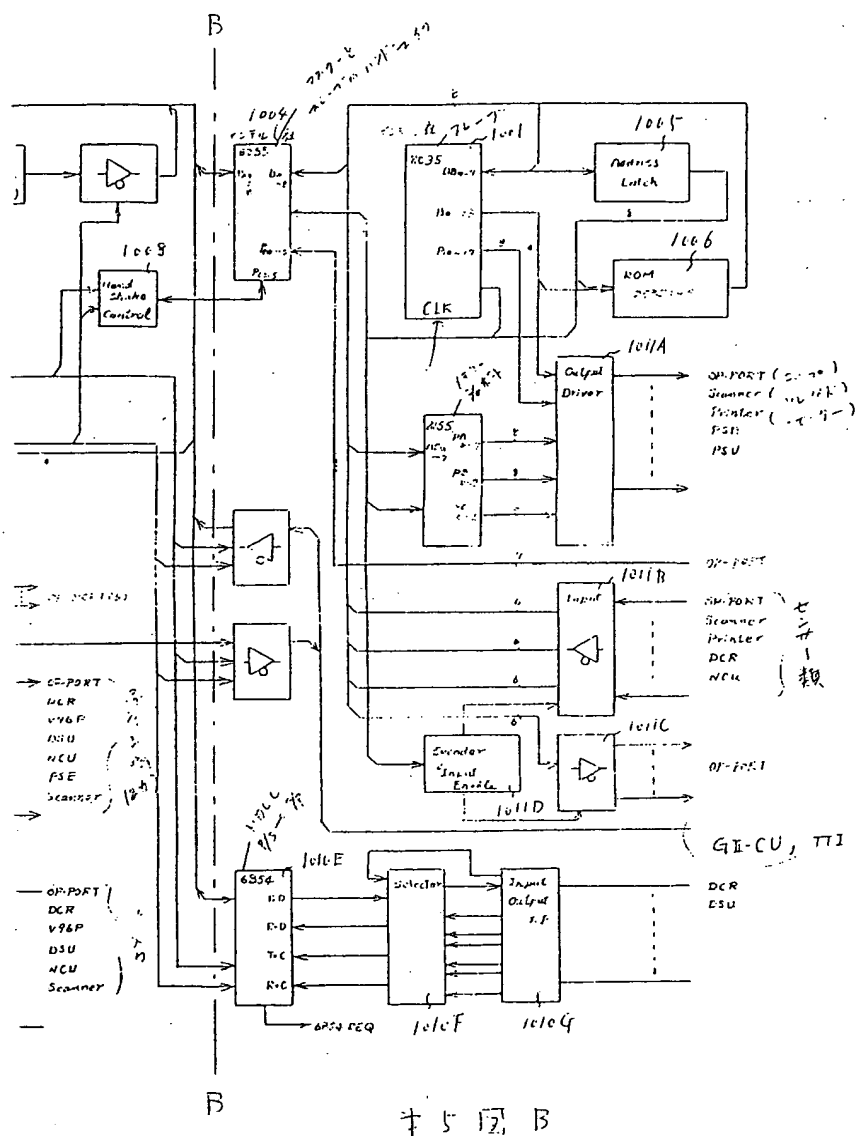


図4B



手続補正書（方式）

昭和56年6月8日

特許庁長官 島田 春樹 殿

1. 事件の表示

昭和56年 特許願 第53553号

2. 発明の名称

ファクシミリ制御方式

3. 補正をする者

事件との関係 特許出願人

東京都大田区中馬込ノ丁目3番6号

(674)株式会社 リ コ ー

4. 代理人

東京都中野区大和町4丁目26番9号

(7710) 弁護士 宮 川 俊 崇



5. 補正命令の日付 なし（自発）

6. 補正の対象 図面の浄書（内容に変更なし）

7. 補正の内容

図面の第3図、第4図AとBおよび第5図

AとBを別紙のとおり補正する





